

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-085947
(43)Date of publication of application : 18.03.2004

(51)Int.CI. G03G 15/16
G03G 15/01

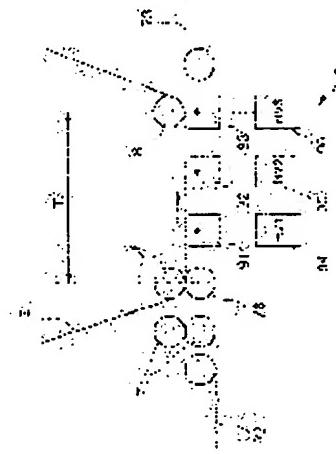
(21)Application number : 2002-247536 (71)Applicant : CANON INC
(22)Date of filing : 27.08.2002 (72)Inventor : HASEGAWA TAKASHI

(54) TRANSFER MEANS AND IMAGE FORMING APPARATUS

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a transfer means that avoids transfer defect due to too little transfer current during transfer bias application and avoids damage to an image carrier and image defects such as spots and blanks in an image caused by too much transfer current, in a transfer device of what is called multiple development/one collective transfer system in which developer images formed on the image carrier being photoreceptors by multiple development are directly transferred via a transfer paper, and also to provide an image forming apparatus equipped with this transfer means.

SOLUTION: The transfer means 9, by applying a transfer bias, collectively transfers developer images to a recording material from the image carrier 3 in which the developer images are formed through the multiple development of latent image by sequentially using a plurality of developing devices. In this transfer means 9, electric field imparting means 91, 92, 93, 94 are provided for forming an electric field peak in a plurality of places, in the image transfer area T_n in which the image carrier 3 and the recording material are physically in contact with or in proximity to each other.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A) 平4-85947

⑬ Int.Cl.⁵

H 01 L 21/82

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月18日

7638-4M H 01 L 21/82

P

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 半導体装置及びその形成方法

⑯ 特願 平2-200847

⑰ 出願 平2(1990)7月27日

⑱ 発明者 渡邊 彰信 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 発明者 秋山 俊恭 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑳ 発明者 野中 義弘 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁理士 秋田 収喜

明細書

1. 発明の名称

半導体装置及びその形成方法

2. 特許請求の範囲

1. 平面方形状の半導体チップの外周囲に、半導体チップの中心からの放射線上にポンディング領域が設けられたリードを配列し、このリードのポンディング領域、前記半導体チップの周辺に沿って配列された外部端子の夫々をワイヤで接続する半導体装置において、前記半導体ベレットの周辺の外部端子を、辺の中央部から角部に向って順次広い間隔で配列し、この外部端子に接続されるワイヤとそれに隣接する他のワイヤとの最小間隔を、これ以外のワイヤ間の最小間隔と実質的に同一に構成したことを特徴とする半導体装置。

2. 平面方形状の半導体チップの外周囲に、半導体チップの中心からの放射線上にポンディング領域が設けられたリードを配列し、このリードのポンディング領域、前記半導体チップの周辺

に沿って配列された外部端子の夫々をワイヤで接続する半導体装置の形成方法において、自動配置配線システムのメモリ空間内に仮想的に設定された半導体チップの中央部分に回路システムを配置すると共に、前記半導体チップの周辺に前記回路システムに接続される複数の外部端子をそれに隣接する他の外部端子との間隔がこれ以外の外部端子間の間隔と実質的に同一で配置する段階と、この回路システム、外部端子の夫々が配置された半導体チップのサイズを算出する段階と、この半導体チップのサイズの算出結果、配置される外部端子数の夫々の情報から隣接するワイヤ間の最小間隔の平均値を算出し、このワイヤ間の最小間隔の平均値に基づき、前記同一間隔に配列された外部端子の配列を変更する段階とを備えたことを特徴とする半導体装置の形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置に関し、特に、自動配置

配線システム(Design Automation)及びこれにより開発や設計が支援された半導体装置に適用して有効な技術に関するものである。

[従来の技術]

ゲートアレイ方式、スタンダードセル方式等の方式で開発や設計がなされた所謂特定用途向けIC(Application Specific IC)の需要が高い。この種のICの開発や設計に際しては開発期間を短縮するためにDAの支援が不可欠である。

前記ICは、QFP構造、PLCC構造、PGA構造等の構造を採用するパッケージ内に封止され、半導体装置として構成される。ICは平面方形形状の単結晶硅素からなる所謂半導体チップで構成される。この半導体チップの中央部分には前記DAで自動的に設計された回路システム例えば論理回路システムが搭載される。半導体チップの周囲には前記回路システムに入出力段回路を介在して接続される複数個の外部端子(ポンディングパッド)が配列される。入出力段回路、外部端子の夫々は、回路システムと同様にDAで自動的に配

置される。入出力段回路は、はじめ基本設計がなされたセル(入出力段回路セル)をDAで自動的に配列するので、隣接する入出力段回路間の間隔は他の入出力段回路間の間隔と実質的に同一で形成される。同様に、外部端子は、はじめ基本設計がなされたセル(外部端子セル)をDAで自動的に配列するので、隣接する外部端子間の間隔は他の外部端子間の間隔と実質的に同一で形成される。

例えば、QFP構造を採用するパッケージは、中央部分に前記半導体チップを配置し、この半導体チップの外周囲に複数本のインナーリードを配列する。半導体チップの周辺に配置された外部端子、その外周囲に配置されたインナーリードの夫々はポンディングワイヤを介して電気的に接続される。パッケージの一般的な設計は半導体チップの中心からの放射線上にインナーリードを配置する手法を採用する。この設計手法は、半導体チップの小さい間隔で配列された外部端子から大きい間隔で配列されたアウターリードまでの間ににおいて無駄な空領域を極力低減でき、レイアウト効率

を高められる。この種の設計手法はファインピッチ化が要求される数百本程度のアウターリード本数を有するパッケージに特に採用される。QFP構造を採用するパッケージ本体はトランスファモールド法で成型された樹脂で形成される。パッケージ内には半導体チップ、インナーリード及びポンディングワイヤの夫々が配置され、これらは気密封止される。

このように構成される、QFP構造を採用するパッケージが使用される半導体装置は、前述のように数百本程度に多ビン化が進むと、ポンディングワイヤ間の短絡が多発する。ポンディングワイヤ間の最小間隔は、隣接する一方のポンディングワイヤの外部端子との接続部と、他方のポンディングワイヤの前記接続部から一方のポンディングワイヤに対して直角をなす線上に存在する部分との間の間隔である。ポンディングワイヤはインナーリードと同様に前述の放射線上に配置され、この放射線に対して半導体チップの外部端子の配列方向は交差する方向である。このポンディングワ

イヤ間の間隔は、外部端子の配列方向と前記放射線とが交差してなす角度が直角に近づくにつれ大きくなり、直角から離れるにつれて小さくなる。つまり、半導体チップの辺の中央部分に配列された外部端子に接続されるポンディングワイヤ間の間隔が最大となり、半導体チップの角部に配列された外部端子に接続されるポンディングワイヤ間の間隔が最小となる。このため、前述のポンディングワイヤ間の短絡は、半導体チップの角部に配列された外部端子に接続されるポンディングワイヤ間で多発する。

この種の技術課題を解決する技術としては、特開昭60-46041号公報に開示された技術が有効である。この公報に開示された技術は、半導体チップの中央部分に配列される外部端子間の間隔を密にし、角部分に配列される外部端子間の間隔を疎にする。すなわち、前記公報に開示された技術は、半導体チップの辺の角部分のポンディングワイヤ間の間隔を広げ、ポンディングワイヤ間の短絡を防止できる。

〔発明が解決しようとする課題〕

しかしながら、本発明者は、前述の公報に開示された技術について、以下の問題点を見出した。

前記半導体装置の半導体チップに配列された外部端子は、DAによる支援による開発中或は設計中ににおいて、DAによる自動処理を中断し又はその終了後に作業者がDAを操作する所謂人手作業（人為的作業）に基づいて確実に変更される。このため、半導体装置の開発工数或は設計工数に人手作業が付加されるだけでなく、人手作業はDAによる自動処理に比べて長時間を要するので、半導体装置の開発期間が増大する。

また、前記半導体装置の開発に人手作業が付加されると、人為的なミスを誘発し易く、半導体装置の信頼性が低下する。

また、前記半導体装置のポンディングワイヤ間の間隔は半導体チップの辺の角部において広がるが、すべてのポンディングワイヤ間の間隔については配慮されておらず、ポンディングワイヤ間の間隔にはばらつきがある。このため、半導体チップ

領域が設けられたリードを配列し、このリードのポンディング領域、前記半導体チップの周辺に沿って配列された外部端子の夫々をワイヤで接続する半導体装置において、前記半導体ベレットの周辺の外部端子を、辺の中央部から角部に向って順次広い間隔で配列し、この外部端子に接続されるワイヤとそれに隣接する他のワイヤとの最小間隔を、これ以外のワイヤ間の最小間隔と実質的に同一に構成する。

(2) 平面方形状の半導体チップの外周囲に、半導体チップの中心からの放射線上にポンディング領域が設けられたリードを配列し、このリードのポンディング領域、前記半導体チップの周辺に沿って配列された外部端子の夫々をワイヤで接続する半導体装置の形成方法において、自動配置配線システムのメモリ空間内に仮想的に設定された半導体チップの中央部分に回路システムを配置すると共に、前記半導体チップの周辺に前記回路システムに接続される複数の外部端子をそれに隣接する他の外部端子との間隔がこれ以外の外部端子間

の辺の限定された領域内において、角部のポンディングワイヤ間の間隔を広げた場合、逆に中央部分のポンディングワイヤ間の間隔が狭くなり、この領域でポンディングワイヤ間に短絡が生じる。

本発明の目的は、DAにより開発や設計が支援される半導体装置において、ワイヤ間の短絡を低減し、電気的信頼性を向上することが可能な技術を提供することにある。

本発明の他の目的は、DAにより開発や設計が支援される半導体装置において、開発期間を短縮することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

(1) 平面方形状の半導体チップの外周囲に、半導体チップの中心からの放射線上にポンディング

の間隔と実質的に同一で配置する段階と、この回路システム、外部端子の夫々が配置された半導体チップのサイズを算出する段階と、この半導体チップのサイズの算出結果、配置される外部端子数の夫々の情報から隣接するワイヤ間の最小間隔の平均値を算出し、このワイヤ間の最小間隔の平均値に基づき、前記同一間隔に配列された外部端子の配列を変更する段階とを備える。

〔作用〕

上述した手段(1)によれば、前記半導体チップの外部端子に接続されるワイヤとそれに隣接する他のワイヤとの間の最小間隔をすべてのワイヤ間において実質的に同一にし(均一化し)、半導体チップの辺の限定された領域内においてワイヤ間の離隔寸法のマージン(許容値)を高められるので、ワイヤ間の短絡を低減し、半導体装置の電気的信頼性を向上できる。

上述した手段(2)によれば、前記自動配置配線システムを使用し、半導体チップのサイズの算出結果、外部端子数の夫々の情報から自動的に隣

接する外部端子間の間隔を変更し、自動的に隣接するワイヤ間の最小間隔をこれ以外のワイヤ間の最小間隔と実質的に同一に設定できるので、人手作業を廃止し、半導体装置の開発期間を短縮できる。また、人手作業に基づく人為的なミスをなくしたので、半導体装置の開発における信頼性を向上できる。

以下、本発明の構成について、D A の支援で開発或は設計された半導体チップをQ F P構造を採用するパッケージに封止した半導体装置に本発明を適用した一実施例とともに説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[発明の実施例]

本発明の一実施例であるQ F P構造を採用するパッケージで構成された半導体装置の構造を第1図(要部平面図)及び第2図(断面図)で示す。

第2図に示すように、Q F P構造のパッケージで構成される半導体装置1は半導体チップ(I C)

層で形成される。この外部端子21の配列については、インナーリード(3 B)との相関々係があるので、後に詳述する。前記各配線層の配線は例えばアルミニウムにS i、又はS i及びC uが添加されたアルミニウム合金膜で形成される。各配線層の間、最上層の配線層上の夫々にはバッシベーション層22が構成される。

前記半導体チップ21の外周囲には、第1図及び第2図に示すように、複数本のインナーリード3 Bが配列される。インナーリード3 Bは、第1図に示すように、半導体チップ21の中心点Oからの放射線(同第1図中、一点鎖線で示す)上に配置される。前記放射線上にインナーリード3 Bを配置する手法は、半導体チップ2、アウターリード3 Cの夫々の間ににおいて、無駄な空領域を極力低減でき、レイアウト効率を高めることができる。前記放射線上には少なくともインナーリード3 Bの半導体チップ2側のポンディング領域が配置されていればよい。前記インナーリード3 Bのポンディング領域と反対側にはアウターリード3 Cが一

2を樹脂6で気密封止する。半導体チップ2はタブ3 A上に接着層4を介在し搭載される。接着層4としては例えばA gペースト或はA u-S i共晶合金が使用される。

前記半導体チップ2は、第1図及び第2図に示すように、平面方形状(本実施例ではほぼ正方形)の単結晶硅素で形成される。半導体チップ2の中央部分には回路システム23が搭載される。本実施例において、回路システム23は論理回路システム及びその周囲に配列された入出力段回路(入出力バッファ回路)で構成される。また、回路システム23は論理回路システム及び記憶回路システムを混在してもよい。半導体チップ2の平面方形状の各辺に沿った周辺には複数個の外部端子(ポンディングパッド)21が配列される。外部端子21は、平面形状が実質的に方形状で構成され、回路システム23の入出力段回路を介して論理回路システムに接続される。外部端子21は、論理回路システム、入出力段回路の夫々を接続する例えば2、3又は4層構造の配線層のうちの最上層の配線層と同一

体に構成される(電気的に接続される)。前記タブ3 A(図示しないがタブ吊りリードを含む)、インナーリード3 B、アウターリード3 Cの夫々は同一のリードフレームから切断及び成型されたものである。このリードフレームは例えばF e-N i合金、C u系合金等の金属材料で構成される。

前記半導体チップ2の外部端子21、インナーリード3 Bのポンディング領域の夫々はポンディングワイヤ5を介して電気的に接続される。ポンディングワイヤ5は、例えばA uワイヤ、C uワイヤ又はA lワイヤが使用され、熱圧着に超音波振動を併用したポンディング方法によりポンディングされる。

このポンディングワイヤ5とその配列方向に隣接する他のポンディングワイヤ5との間の最小間隔(最小離隔寸法)hは、前者のポンディングワイヤ5の外部端子21との接続部(ポンディング部分)と、他方の後者のポンディングワイヤ5の前記接続部から前者のポンディングワイヤ5に対して直角をなす線上に存在する部分との間の間隔である。

この隣接するポンディングワイヤ5間の最小間隔 h はいずれのポンディングワイヤ5間においても実質的に同一に構成される(均一化される)。

このように、隣接するポンディングワイヤ5間の最小間隔 h の均一化は、同第1図に示すように、半導体チップ2の辺の中央部から角部に向って、半導体チップ2の外部端子21の配列方向に隣接する外部端子21間の間隔を順次広げることで達成できる。具体的には、半導体チップ2の中心点Oから辺の中心を通過する中心線O-OH上又はそれに最っとも近接した位置に配置された外部端子21(1)と半導体チップ2の角部に向って配置された次段の外部端子21(2)との間の間隔(配列ピッチ) $x(1)$ に対して、半導体チップ2の角部に近い外部端子21(i)とそれよりも角部側の次段の外部端子21(i+1)との間の間隔 $x(i)$ が広く構成される。外部端子21(2)乃至外部端子21(i)までの間において、各外部端子21間の間隔は、半導体チップ2の辺の中心から角部に向って順次広く構成される。このポンディングワイヤ5間の最小間隔 h

次に、前記論理回路情報に基づき、DAのメモリ空間内に仮想的に設定された半導体チップ(2)の領域上に回路システム(23)の論理回路システム及び入出力段回路をDAで自動的に配置すると共に、前記入出力段回路を介して論理回路システムに接続される外部端子(21)をDAで自動的に配置する<12>。この処理工程において配置される外部端子は、その配列方向に隣接する外部端子間の間隔がすべての領域において実質的に同一で配置される(均等に配置される)。

次に、前記論理回路システムの各論理回路間、外部端子と入出力段回路との間、入出力段回路と論理回路との間等を接続する結線をDAで自動的に配置する<13>。

次に、前記回路システム及び外部端子が配置され、しかも結線が配置された半導体チップに基づき、この半導体チップのサイズを算出する<14>。この半導体チップのサイズ情報としては、前記第1図に示す少なくとも以下の情報を算出する。

1. 情報a：中心線O-OH上における半導体

を均一化するための半導体チップ2の外部端子21の配列は、後に詳述するが、DAで自動的に行われる。

前記半導体チップ2、タブ3A、インナーリード3B及びポンディングワイヤ6は樹脂6で気密封止される。樹脂6は、トランスファモールド法で形成され、例えばフェノール硬化型のエポキシ系樹脂で形成される。

次に、前述の半導体装置1のQFP構造を採用するパッケージに封止された半導体チップ2の形成方法について、第3図(DAで取り扱うための計算モデル図)、第4図(形成方法全体のプロセスフロー図)及び第5図(形成方法の一部のプロセスフロー図)を使用し、簡単に説明する。

まず、半導体チップ2に搭載する回路システムの論理設計を行い、論理回路図を作成する。

次に、第4図に示すように、前記論理回路図に基づき、DAで取り扱える論理回路情報として、この論理回路情報をDAに入力し、DAでの自動化処理を開始する<11>。

チップの中心点Oから外部端子の配列位置の中心までの距離。

2. 情報b：中心点Oから半導体チップの最っとも角部に配置された外部端子の配列位置の中心までの距離。

3. 情報c：中心線O-OHから半導体チップの最っとも角部に配置された外部端子の配列位置の中心までの距離(外部端子列の長さ)。

4. 情報L：中心線O-OHからそれに最っとも近い位置に配置された外部端子までの距離。

5. 情報n：中心線O-OHから半導体チップの角部までに配置された外部端子数。

次に、第4図に示すように、前記半導体チップのサイズ情報に基づき、はじめ外部端子間の間隔が均等に配置された外部端子の配置位置を変更し(半導体チップの角部に近づくにつれ外部端子間の間隔を広くし)、前記第1図に示すように、隣接するポンディングワイヤ(5)間の最小間隔 h をすべて均一化する<15>。このポンディングワイヤ間の最小間隔 h を均一化する処理は、第5図に示

すプロセスフローにしたがい、DAで自動的に行われる。

まず、前記半導体チップのサイズ情報に基づき、DAでの自動化処理を開始する<151>。初めに、前記ポンディングワイヤ間の最小間隔 h の下限値(m_{in})を0に設定し、上限値(m_{ax})を情報c及び情報nの除算により設定する<152>。この上限値及び下限値に基づき、ポンディングワイヤ間の最小間隔 h の平均値を算出する<153>。

次に、前記サイズ情報の情報ロに基づき、半導体チップの一辺に配置された外部端子数を判定する<154>。外部端子数が奇数の場合(つまり、中心線O-OH上に外部端子が配置される場合)、情報Lは0に設定される<155>。外部端子数が偶数の場合(第1図及び第3図に示すように、半導体ペレットの辺の中心部に配置された外部端子間を中心線O-OHが通過する場合)、情報Lは前記最小間隔 h の2分の1に設定される<156>。

次に、半導体チップの外部端子間を計算するために、計算プログラムのループの変数iを1に設

定し、外部端子間の間隔 $x(i)$ と間隔 $y(i)$ を算出する。半導体チップの辺の中心部に配置された外部端子から最っとも角部に配置された外部端子の手前まで(情報n-1まで)繰返し行われる<161>。

そして、前記外部端子間の間隔 $x(i)$ 及び間隔 $y(i)$ の総和 $y(i)$ の算出がすべて行われた後、はじめ設定された外部端子列の長さである情報cと総和 $y(i)$ とが比較され、両者の値が等しい場合には第5図に示す処理工程が終了する<165>。情報cに比べて総和 $y(i)$ が小さい場合は<163>又情報cに比べて総和 $y(i)$ が大きい場合は、情報c、総和 $y(i)$ の夫々が等しくなるまで、繰返し処理が行われる。

次に、前記外部端子間の間隔を変更し、ポンディングワイヤ間の最小間隔 h を均一化した後、第4図に示すように、主に外部端子、回路システムの入出力段回路の夫々の結線の配置を外部端子の配置位置の変更に併せて変更する<16>。

次に、この結線の配置の変更に基づき、半導体チップのサイズが変化したか否かを確認し<17>。

定し、外部端子間の間隔 $x(i=1)=L$ 、総和 $y(i=1)=L$ の夫々を設定し、最初に計算される外部端子の位置決めを行う<157>。外部端子間の間隔 $x(i)$ は中心線O-OH上(奇数の場合)又は中心線O-OHに最っとも近い(偶数の場合)外部端子から数えてi番目とi+1番目の外部端子間の距離を表す。総和 $y(i)$ は前記i番目までの間隔 $x(i)$ の合計を表す。

次に、配列されたすべての外部端子間の間隔 $x(i)$ を計算するために、ループ変数 $i=i+1$ を設定し<158>、半導体チップの辺の中心部から角部に向って配列された各外部端子間の間隔 $x(i)$ を算出する<159>。外部端子間の間隔 $x(i)$ は、第3図に示すように、三角形の相似の原理を利用し、以下の式から算出できる。

$$\text{間隔 } x(i) : \text{最小間隔 } h = \text{情報 } b : \text{情報 } a$$

$$x(i) = h \sqrt{a^2 + y(i)^2} / a$$

次に、算出された外部端子間の間隔 $x(i)$ の総和 $y(i)$ を算出する<160>。

この外部端子間の間隔 $x(i)$ 及び間隔 $y(i)$ の

半導体チップのサイズに変化がない場合にはDAに基づく自動化処理が終了する<18>。半導体チップのサイズに変化がある場合には半導体チップのサイズの算出<14>から再度処理を行う。

これら一連のDAに基づく自動化処理が終了すると、DAでの半導体チップの開発或は設計が完了する。

これ以後は、前記DAで作成された情報で製造用マスクを作成し、半導体製造プロセスにより半導体チップを作成する。そして、リードフレームに完成した半導体チップを搭載し、ポンディング工程、樹脂封止工程、リードフレームの切断成型工程の夫々を施すことにより、前記第2図に示す半導体装置が完成する。

このように、平面方形状の半導体チップ2の外周囲に、半導体チップ2の中心点Oからの放射線上にポンディング領域が設けられたインナーリード3Bを配列し、このインナーリード3Bのポンディング領域、前記半導体チップ2の周辺に沿って配列された外部端子21の夫々をポンディングワ

イヤ5で接続する半導体装置1において、前記半導体ペレット2の周辺の外部端子21を、辺の中央部から角部に向って順次広い間隔 ϵ (i)で配列し、この外部端子21に接続されるポンディングワイヤ5とそれに隣接する他のポンディングワイヤ5との最小間隔 h を、これ以外のポンディングワイヤ5間の最小間隔 h と実質的に同一に構成する。この構成により、前記半導体チップ2の外部端子21に接続されるポンディングワイヤ5とそれに隣接する他のポンディングワイヤ5との間の最小間隔 h をすべてのポンディングワイヤ5間において実質的に同一にし(均一化し)、半導体チップ2の辺の限定された領域内においてポンディングワイヤ5間の離隔寸法のマージン(許容値)を高められるので、ポンディングワイヤ5間の短絡を低減し、半導体装置1の電気的信頼性を向上できる。

また、平面方形状の半導体チップ2の外周囲に、半導体チップ2の中心点Oからの放射線上にポンディング領域が設けられたインナーリード3Bを配列し、このインナーリード3Bのポンディング

し、自動的に隣接するポンディングワイヤ5間の最小間隔 h をこれ以外のポンディングワイヤ5間の最小間隔 h と実質的に同一に設定できるので、人手作業を廃止し、半導体装置1の開発期間を短縮できる。また、人手作業に基づく人為的なミスをなくしたので、半導体装置1の開発における信頼性を向上できる。

また、前記半導体装置1の形成方法において、はじめ回路システム及び外部端子を等間隔で配置する段階<12>と、この後、半導体チップのサイズを算出する段階<14>を行い、この半導体チップのサイズの算出結果に基づいて外部端子の位置を変更する段階<15>とを備える。この構成により、はじめ外部端子の配置位置を変更してポンディングワイヤ5間の最小間隔 h を均一化し、この後に回路システムを自動的に配置する場合に比べて、DAで自動的に配置された回路システムのサイズに合せて外部端子の配置位置を変更したので、回路システム23の配置において無駄な空領域を低減し、レイアウト効率を高められる。

領域、前記半導体チップ3Bの周辺に沿って配列された外部端子21の夫々をポンディングワイヤ5で接続する半導体装置1の形成方法において、DAのメモリ空間内に仮想的に設定された半導体チップ(2)の中央部分に回路システム(23)を配置すると共に、前記半導体チップの周辺に前記回路システムに接続される複数の外部端子(21)をそれに隣接する他の外部端子との間隔がこれ以外の外部端子間の間隔と実質的に同一で配置する段階<12>と、この回路システム、外部端子の夫々が配置された半導体チップのサイズを算出する段階<14>と、この半導体チップのサイズの算出結果、配置される外部端子数の夫々の情報から隣接するポンディングワイヤ5間の最小間隔 h の平均値を算出し、このポンディングワイヤ5間の最小間隔 h の平均値に基づき、前記同一間隔に配列された外部端子の配列を変更する段階<15>(<151>～<165>)とを備える。この構成により、DAを使用し、半導体チップのサイズの算出結果、外部端子数の夫々の情報から自動的に隣接する外部端子間の間隔を変更

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

例えば、本発明は、前記第1図に示す半導体装置において、隣接するインナーリード3Bが配置される2本の放射線のなす角度をそれ以外の2本の放射線のなす角度と実質的に同一に設定してもよい。

また、本発明は、QFP構造以外にPLCC構造、PGA構造等を採用する樹脂封止型半導体装置、或はセラミック封止型半導体装置に適用できる。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

DAにより開発や設計が支援される半導体装置において、ワイヤ間の短絡を低減し、電気的信頼

性を向上できる。

DAにより開発や設計が支援される半導体装置において、開発期間を短縮できる。

4. 図面の簡単な説明

第1図は、本発明の一実施例であるQFP構造を採用するパッケージで構成された半導体装置の要部平面図。

第2図は、前記半導体装置の断面図。

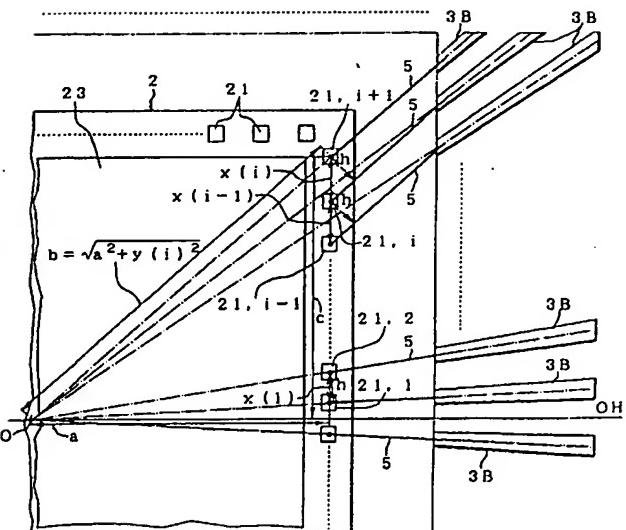
第3図は、DAを取り扱うための計算モデル図。

第4図は、前記半導体装置の形成方法を説明する全体のプロセスフロー図。

第5図は、前記半導体装置の形成方法を説明するための一部のプロセスフロー図である。

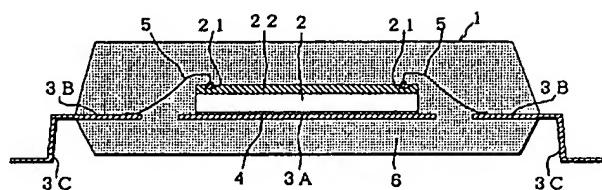
図中、1…半導体装置、2…半導体チップ、21…外部端子、23…回路システム、3B…インナーリード、5…ボンディングパッド、6…樹脂である。

第1図

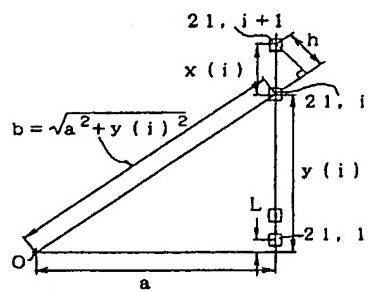


代理人 弁理士 秋田収喜

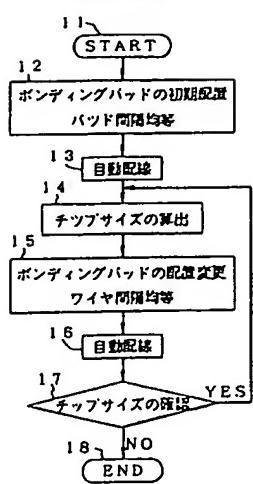
第2図



第3図



第4図



第5図

